

ONE-CHIP MICROCOMPUTER

Patent Number: JP10247187
Publication date: 1998-09-14
Inventor(s): YOSHIDA HIROSHI
Applicant(s): NEC ENG LTD
Requested Patent: ☐ JP10247187
Application Number: JP19970051277 19970306
Priority Number(s):
IPC Classification: G06F15/78; G06F13/14
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To obtain a one-chip microcomputer which immediately copes with a change even when the change occurs in the assigned address of a peripheral device.
SOLUTION: When a change of allocation of CS signals 3-1 to 3-n, etc., occurs, an execution program, multi-CS and initial value data are written in a flash memory 2-1-2 through an external I/F circuit 2-3-4 and the power source is turned off temporarily. The data in the flash memory 2-1-2 are stored even when the power source is turned off. When the power source is turned on again, the resetting release time of a CPU 1 is delayed and the data stored in the flash memory 2-1-2 are transferred to a RAM (random access memory) 2-1-3, a multi-CS(chip set) circuit 2-3-2 and an initial value latch part 2-3-1 by a boot part during the delay period.

Data supplied from the esp@cenet database - I2

(c)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-247187

(43) 公開日 平成10年(1998) 9月14日

(51) Int. Cl.⁶

G 0 6 F 15/78
13/14

識別記号

5 1 0
3 2 0

F I

G 0 6 F 15/78
13/14

5 1 0 A
3 2 0 Z

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平9-51277

(22) 出願日 平成 9 年 (1997) 3 月 6 日

(71) 出願人 000232047

日本電気エンジニアリング株式会社
東京都港区芝浦三丁目18番21号

(72) 発明者 吉田 廣

東京都港区芝浦三丁目18番21号 日本電気
エンジニアリング株式会社内

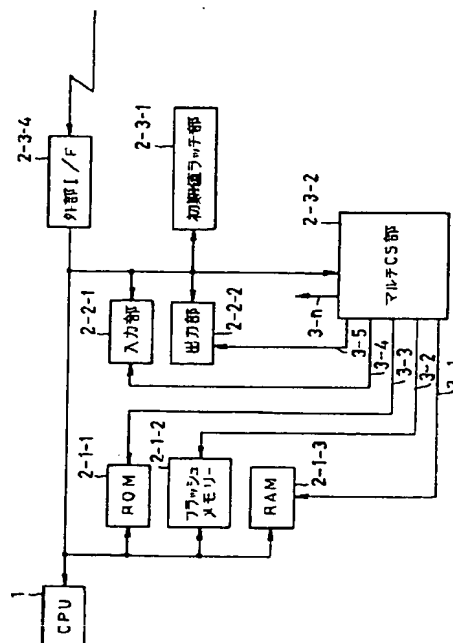
(74) 代理人 弁理士 京本 直樹 (外 2 名)

(54) 【発明の名称】 1チップマイクロコンピュータ

(57) 【要約】

【課題】 周辺装置の割り当てアドレスに変更が生じても、直ちに対応できる1チップマイコンを得る。

【解決手段】 CS信号3-1~3-n等の割付の変更が発生したとき、実行プログラム、マルチCS及び初期値データを外部I/F回路2-3-4を通じてフラッシュメモリ2-1-2に書き込み、一度電源をオフにする。電源をオフにしてもフラッシュメモリ2-1-2上のデータは保存されている。再度電源をオンにしたときに、CPU1のリセット解除の時間を遅らせ、この間にフラッシュメモリ2-1-2に記憶されたデータを、RAM2-1-3、マルチCS回路2-3-2及び初期値ラッチ部2-3-1にブート部で転送する。



【特許請求の範囲】

【請求項1】 CPUと、記憶手段と、周辺回路とを一つの半導体チップ上に構成した1チップマイクロコンピュータであって、前記記憶手段を、外部インタフェースを介して変更データを書き込む電氣的に書き換え可能な不揮発性記憶手段と、前記外部インタフェースを介して前記変更データを書き込むプログラムを格納したリードオンリーメモリと、前記CPUの実行プログラムを格納するランダムアクセスメモリとで構成することを特徴とする1チップマイクロコンピュータ。

【請求項2】 前記変更データが、前記CPUの実行プログラムと、前記周辺回路のチップセレクト割付データと、前記周辺回路の初期値ラッチ用データとを含むことを特徴とする請求項1記載の1チップマイクロコンピュータ。

【請求項3】 前記変更データを電源オン後前記CPUのリセットが解除されるまでの期間に、前記CPUの実行プログラムは前記ランダムアクセスメモリに、前記周辺回路のチップセレクト割付データはマルチチップセレクト部に、前記周辺回路の初期値ラッチ用データは初期値ラッチ部に転送することを特徴とする請求項1あるいは2記載の1チップマイクロコンピュータ。

【請求項4】 前記不揮発性記憶手段が、フラッシュメモリ素子で構成されることを特徴とする請求項1〜3いずれか記載の1チップマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は1チップマイクロコンピュータに関し、特にチップセレクト機能がオンボードで変更可能な1チップマイクロコンピュータに関する。

【0002】

【従来の技術】例えば小型軽量の携帯用通信機器等は、制御部としてマイコン（マイクロコンピュータ）を使用したごく小型のコンピュータシステムで構成され、ファームウェア処理により制御を行っている。このようなマイコンシステムは、あらゆる小型の電子機器に広く用いられ、マイコン等のCPUと、キーボード等の入力機器、表示機器等の出力機器及び記憶装置を含む周辺機器とで構成される。

【0003】一般に、入出力機器や記憶装置等の周辺機器には、それぞれ特定の番地（アドレス）があらかじめ割り振られている。

【0004】従来のマイコンシステムは図10に示すように、システムを制御するマイコン等のCPU1、周辺機器である記憶回路（リードオンリーメモリ（ROM）、ランダムアクセスメモリ（RAM）を主とし、ディスク等のメモリが必要な場合は、記憶回路を介して外部に設ける）6と、キーボード等からの信号を入力する入力回路例えば7-1、7-2と、表示器等に出力

する出力回路例えば8-1、8-2と、CPU1と周辺機器6、7-1、7-2、8-1、8-2を接続するアドレスバス4及びデータバス9、アドレス信号をデコードしてCS（チップセレクト）信号3-1〜3-mを発生するCS発生回路5で構成される。

【0005】CPU1がプログラムを実行するときに必要とする周辺機器は、各周辺機器に割り当てられているアドレスに従い、CS信号3-1〜3-mによって選択される。例えば家庭用のVTRのように、例えば周辺機器の割り当て等に全く変更の必要のない場合は、CPU、プログラムを格納した（マスク）ROM、RAM、入出力（インタフェース）回路等を1個のチップにまとめることがよくあり、このチップを1チップマイコンと呼ぶ。1チップマイコンは家庭用の電子（気）機器等に広く採用されていて、装置の小型化やコストダウンに大いに貢献している。

【0006】しかし、例えば周辺機器内のメモリの増設等の仕様変更に伴い、アドレスの割り振りが変更される必要があるような場合は、従来のような1チップマイクロコンピュータ（プログラムがすべてマスクROMに入っていて変更できない）は使用できない。

【0007】特開平4-111141号公報には、周辺機器内のメモリ増設等の仕様変更に伴い、番地割り振りの領域が変更された場合でも、この変更に応じて記憶回路（部）内の番地識別情報の内容（ビットの組み合わせ）をあらかじめ変えておけば、ハードウェアの構成をいちいち変えなくとも、仕様変更に応じて座に対応することができることが示唆されている。

【0008】

【発明が解決しようとする課題】特開平4-111141号公報記載の提案の場合、記憶装置を含む複数の周辺機器がCPU等の制御部に接続され、記憶装置内に周辺機器に割り振られた番地を各周辺機器毎に識別するための番地識別情報記憶部を、ROM内に備えている。周辺機器内の例えばメモリ増設等の仕様変更に伴い、番地割り振り領域が変更される場合、番地識別情報記憶部用のROMのデータを変更することにより、ハードウェアの構成を変更しなくても、仕様変更に応じて座に対応できるとされている。

【0009】しかし、番地識別情報部にROMを使用しているため、番地識別情報部の変更にはROM交換が必要となり、オンボード（システムがボード上に組上げられた状態）での書き換えができないし、ましてや1チップマイコンの場合は特に、装置組み込み後は容易には変更できない。

【0010】本発明の目的は、周辺装置の割り当てアドレスに変更が生じても、直ちに対応できる1チップマイコンを提供することである。

【0011】

【課題を解決するための手段】本発明によれば、CPU

と、記憶手段と、周辺回路とを一つの半導体チップ上に構成した1チップマイコンは、前記記憶手段を、外部インタフェースを介して変更データを書き込む電氣的に書き換え可能な不揮発性記憶手段と、前記外部インタフェースを介して前記変更データを書き込むプログラムを格納したリードオンリーメモリと、前記CPUの実行プログラムを格納するランダムアクセスメモリとで構成することを特徴とする1チップマイクロコンピュータが得られる。

【0012】また、前記変更データが、前記CPUの実行プログラムと、前記周辺回路のチップセレクト割付データと、前記周辺回路の初期値ラッチ用データとを含むことを特徴とする。

【0013】さらに、前記変更データを電源オン後前記CPUのリセットが解除されるまでの期間に、前記CPUの実行プログラムは前記ランダムアクセスメモリに、前記周辺回路のチップセレクト割付データはマルチチップセレクト部に、前記周辺回路の初期値ラッチ用データは初期値ラッチ部に転送することを特徴とする。

【0014】さらにまた、前記不揮発性記憶手段が、フラッシュメモリ素子で構成されることを特徴とする。

【0015】本発明の作用は次の通りである。外部よりオンボードで1チップマイコン用ソフトウェア（実行プログラム）、及び内部ハードウェア設定を可能とするために、外部とのアクセス用に外部I/F（インタフェース）を設け、実行プログラムやハードウェア設定データ保存用にフラッシュメモリを内蔵し、内部ハードウェア設定変更のためのプログラムはマスクROMに内蔵させ、外部I/Fを通じてフラッシュメモリに格納された1チップマイコン用の実行プログラム、及び内部ハードウェア設定変更データを書き換える。

【0016】なお、内部ハードウェア設定変更によって、CPUの周辺装置毎に割り振られたCS（チップセレクト）信号、及び各周辺装置の初期値の変更を可能とする。

【0017】

【発明の実施の形態】以下に、本発明の実施例について図面を参照して説明する。

【0018】図1は本発明による1チップマイコンの実施例のハードウェア構成を示すブロック図であり、図10と同等部分は同一符号にて示している。

【0019】図1において、本発明による1チップマイコンは、CPU1とアドレスバス4とデータバス9で相互に接続された周辺装置2とを、1個のLSIチップ上に構成した1チップマイコンである。周辺装置2は、記憶装置2-1、汎用周辺装置2-2及び新規周辺装置2-3とで構成される。

【0020】さらに、記憶装置2-1は、外部I/F2-3-4を通してフラッシュメモリ2-1-2へ変更データを、書き込むためのソフトウェア（プログラム）

を格納するマスクROM2-1-1、実行プログラム及びマルチCS（チップセレクト）の発生、並びに初期値ラッチ用データが格納されるフラッシュメモリ2-1-2、フラッシュメモリ2-1-2から転送された実行プログラムが格納されるRAM2-1-3で構成される。

【0021】フラッシュメモリ2-1-2は、例えば図2に示すように0番地からCPU1の実行プログラムを書き込む領域、N番地からマルチCS発生及び初期値ラッチ用データの格納領域といった具合に分けて使用される。RAM2-1-3に格納された実行プログラムは、CPU1がプログラムを実行する際に参照される。

【0022】外部I/Fを通して、フラッシュメモリ2-1-2のCPU1の実行プログラム、及び内部ハードウェア設定（マルチCS発生及び初期値ラッチ用データの）変更データを書き換えた後、変更プログラム、ハードウェア設定を有効にするには、一度電源をオフにした後、再度電源をオンにする。電源オン後、フラッシュメモリ2-1-2からRAM2-1-3及び内部のハードウェアに変更データを転送し、CPU1のリセット解除後に新プログラム、ハードウェア設定が有効となる。

【0023】これは、CPU1のリセット（電源オンとは異なる）のみでは、実行プログラム及び内部ハードウェア設定の変更ができないようにして、誤変更を防止している。

【0024】CPU1が暴走したときは、割り込み信号（NMI；ノンマスクابل・インタラプト）を発生させ、マスクROM2-1-1からCPU1を起動させて、再度、実行プログラム及び内部ハードウェア設定データを転送し直してから起動させるようにし、異常動作を防止している。

【0025】汎用周辺装置2-2は、外部装置との間で、パラレルあるいはシリアルデータを入出力する入力部2-2-1及び出力部2-2-2、各種タイマ管理を行うタイマ部2-2-3で構成される。なお、汎用周辺装置2-2として、図1には代表例として以上の3回路（部）を示したが、その他に図示しない割り込み信号の管理を行う割り込みコントローラ、バスを占有してデータ交換を行うダイレクトメモリアccessコントローラ等がある。

【0026】本発明に関連度が高い新規周辺装置2-3は、チップの外部からフラッシュメモリ2-1-2の書き換えデータを入力する書き換え用外部I/F（インタフェース）2-3-4、各周辺回路（装置）2-2、2-3の選択信号の割付が変更可能なマルチCS（チップセレクト）部2-3-2、各周辺回路（装置）2-2、2-3の初期値を変更できる初期値ラッチ部2-3-1、電源立ち上げ後フラッシュメモリ2-1-2の内容をRAMに転送するブート部2-3-3、CPU1

が暴走したとき、CPU1に強制割り込み信号(NMI)を発生させ、マスクROM2-1-1のプログラムを起動させる、WDT(ウォッチドッグタイマ)回路2-3-5で構成される。

【0027】CPU1が正常に動作しているときは、一定の周期でリセットパルスが出力されるので、このリセットパルスが失われるとCPU1が暴走したと判定するために、例えばクロックを計数し、CPU1からのリセットパルスでリセットするタイマを設け、タイマの計数値がある一定値を越え、CPU1の暴走を検出したとして警報するタイマをWDT(ウォッチドッグタイマ)2-3-5と呼ぶ。

【0028】従来のマイコンシステムは図10に示すように、CPU1と各周辺回路6、7-1、7-2、8-1、8-2は、アドレスバス4及びデータバス9で接続されており、各周辺回路の選択は、アドレスをデコードして作られるCS(チップセレクト)信号3-1~3-mにより、選択されている。アドレスをデコードしてCS信号3-1~3-mを生成するCS発生回路5をハードウェアで構成すると、あとから機能変更、周辺回路の割付変更等が発生した場合、チップ(IC)そのものの回路を変更(チップの再設計・製造)する必要がある。

【0029】この問題を解決するため本発明の実施例においては図3に示すように、マルチCS部2-3-2を設け、CS信号3-1~3-nをソフトウェアで生成し、ソフトウェアで変更できるようにした。以下、その動作を説明する。

【0030】周辺回路選択のチップセレクト(CS)信号3-1~3-n割付の変更が発生したときには、外部I/F回路2-3-4を通じてチップセレクト割付データをフラッシュメモリ2-1-2に書き込む。チップセレクト割付データを変更する場合は、変更データをフラッシュメモリ2-1-2に書き込んだ後、1チップマイコンの電源を一度オフにする。電源をオフにしてもフラッシュメモリ2-1-2上のデータは保存されている。

【0031】図4に示すように、再度電源をオンにしたときに、パワーオンの時間よりCPU1のリセット解除の時間をハードウェアで遅らせ、この間に図7に示すように、フラッシュメモリ2-1-2に記憶されたチップセレクト割付データをマルチCS回路(部)2-3-2にハードウェア(ブート部2-3-3)で転送する。

【0032】マルチCS回路(部)2-3-2では、図5に示すラッチ回路2-3-2-1-1(〜2-3-2-n-1)で、フラッシュメモリ2-1-2から転送されてきたチップセレクト割付データをラッチする。CPU1のリセットが解除され、CPU1が動作し、CPU1から出力される周辺回路選択のためのアドレスと、ラッチされたチップセレクト割付データをコンパレート(比較)2-3-2-1-2(〜2-3-2-n-2)

する事により、新たに割り付けられたチップセレクト(CS)信号3-1(〜n)で動作させることができる。

【0033】また、CPU1のリセット解除後、CPU1が周辺装置にアクセスするまでの間、各周辺装置の状態はハードウェアに依存し、CPU1からアクセスが行われるまでは、周辺装置の状態は安定しない。また、周辺装置の初期設定も行われず。

【0034】そこで、図6に示すように、初期値データラッチ部2-3-1のラッチ回路2-3-1-2は、ブート部2-3-3により電源オンからCPU1リセット解除までの間に、フラッシュメモリ2-1-2から転送されてくるデータをラッチし、CPU1動作以前に周辺装置の状態を安定させることができる。また従来は、CPUのリセット解除後にソフトウェアで行っていた周辺装置への初期設定も簡素化できる。CPU1のリセット解除後は、CPU1からのアクセスにより、このラッチデータをセクタ2-3-1-1を介して変更することもできる。

【0035】CPU1の実行プログラムの変更も、図7に示すように、チップセレクト割付データ(マルチCS)及び初期値データラッチと同様に、電源オンからCPU1リセット解除までの間に、フラッシュメモリ2-1-2からRAM2-1-3へ転送される。なお、電源オフ/オンによるCPU1のリセット(パワーオンリセット)とは別に、CPUリセット機能もあるが、CPUリセットの場合はフラッシュメモリ2-1-2からのデータ転送は行われない。このため、外部I/F2-3-4を通してチップセレクト割付変更データが、フラッシュメモリ2-1-2に書き込まれても、パワーオンリセットが行われない限りチップセレクト信号の割付変更は実行されず、誤書き換えを防止している。

【0036】次に、外部からオンボードで実行プログラムや、設定データの書き換えを行う際の詳細について説明する。

【0037】図8及び図9に示すように、外部I/F部2-3-4が、例えば特定のコード"Z"(転送準備命令)を受信することにより、CPU1へ割り込み信号を出力し、マスクROM2-1-1に格納されている書き換えデータ転送用プログラムを起動させる。これにより、外部I/F2-3-4からのデータ受信待ち状態となり、外部からのデータが入力されるとフラッシュメモリ2-1-2に格納する。

【0038】このとき、外部から入力されるデータにはコードがつけられており、例えば実行プログラムには"Y"、チップセレクト割付データ(マルチCS)には"X"、初期値データには"W"のコードがついていて、誤ったコードが転送されてきたときには、フラッシュメモリ2-1-2に書き込まないようにしてある。コード"V"(転送終了命令)が受信されたら転送が終了し

たことになり、RAM 2-1-3上で動作する通常プログラムに戻る。

【0039】転送された実行プログラムに異常があり、CPU1が暴走したときはWDT部2-3-5が動作してCPU1にNMI割り込みを発生させる。この場合、マスクROM 2-1-1内のデータ転送用プログラムが作動し、外部I/F 2-3-4からの受信待ちとなる。

【0040】本発明の1チップマイコンを初回に使用するときは、フラッシュメモリ2-1-2に格納されているプログラムは意味のないものなので、電源オン後に、フラッシュメモリ2-1-2からRAM 2-1-3に転送されたプログラムによって、CPU1が動作するとCPU1はすぐに暴走し、その結果、外部I/F 2-3-4からの受信待ちとなるので、正常な実行プログラムを転送し、電源オンし直すことで正常に使用できる状態になる。

【0041】

【発明の効果】以上説明したように本発明による1チップマイコンは、オンボードで実行プログラム、チップセレクト割付データ(マルチCS)や初期値データを変更できる効果がある。

【図面の簡単な説明】

【図1】本発明の実施例の構成図である。

【図2】フラッシュメモリのメモリマップである。

【図3】チップセレクト割付説明用ブロック図である。

【図4】電源オンとCPUリセット解除とのタイミング説明図である。

【図5】マルチCS部の構成図である。

【図6】初期値データラッチ部の構成図である。

【図7】ブート部によるアクセス説明図である。

【図8】外部I/Fからのアクセス説明図である。

【図9】データ転送動作シーケンス図である。

【図10】従来の周辺回路選択のブロック図である。

【符号の説明】

1 CPU

2 周辺装置

2-1 記憶装置

2-1-1 マスクROM

2-1-2 フラッシュメモリ

2-1-3 RAM

2-2 汎用周辺装置

2-2-1 入力部

2-2-2 出力部

2-2-3 タイマ部

2-3 新規周辺装置

2-3-1 初期値ラッチ部

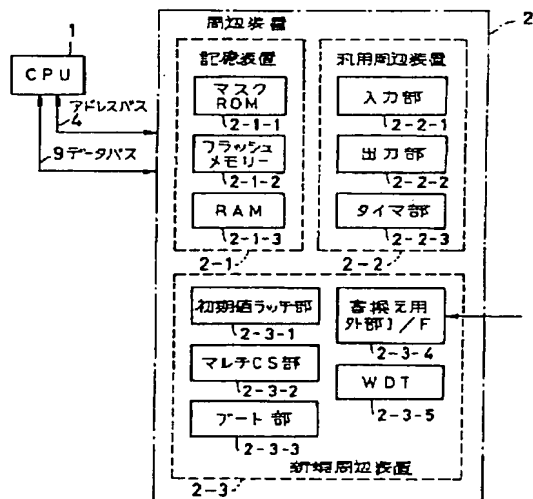
2-3-2 マルチCS部

2-3-3 ブート部

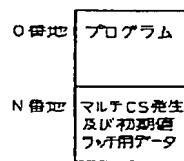
2-3-4 書き換え用外部I/F

2-3-5 WDT

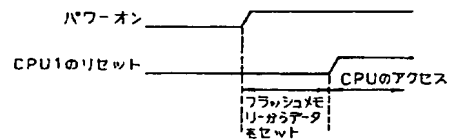
【図1】



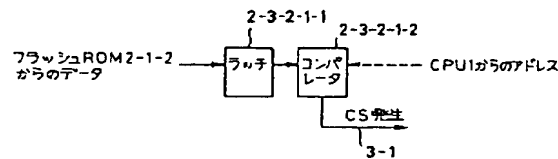
【図2】



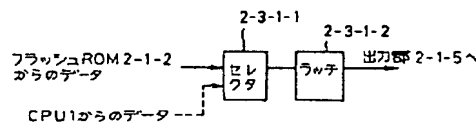
【図4】



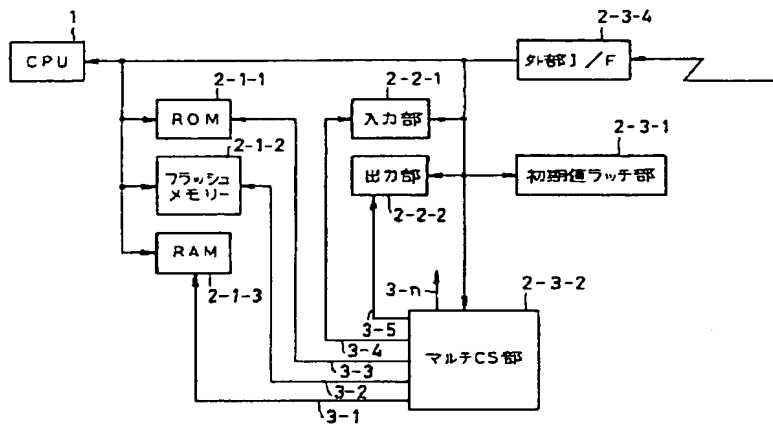
【図5】



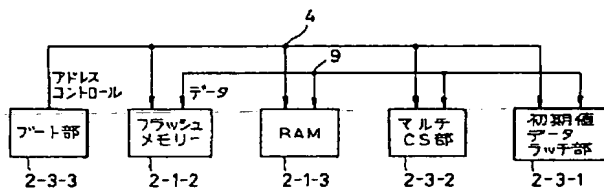
【図6】



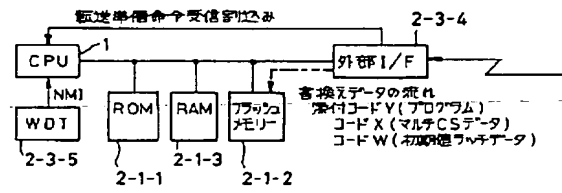
【図3】



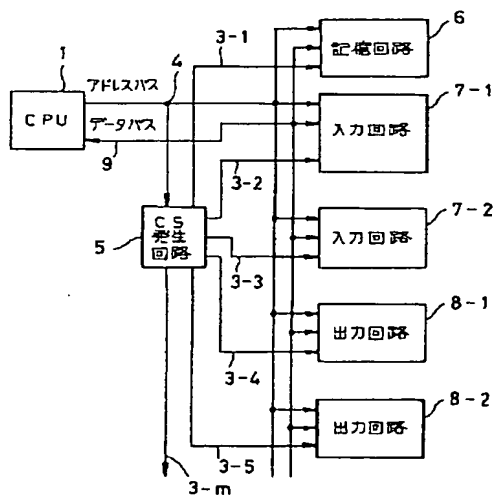
【図7】



【図8】



【図10】



【図9】

